

# 公開実用 昭和63- 155016

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭63- 155016

⑬ Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988)10月12日
G 01 D 5/249		D-8104-2F	
// G 01 B 21/00		A-7625-2F	
G 01 D 5/36		T-8104-2F	審査請求 未請求 (全 頁)

⑭ 考案の名称 絶対番地型位置検出器

⑮ 実 願 昭62-46830

⑯ 出 願 昭62(1987)3月31日

⑰ 考 案 者	星 川 雅 之	東京都中央区八重洲2丁目9番7号 石川島播磨重工業株式会社京橋事務所内
⑱ 考 案 者	山 野 井 孝	東京都中央区八重洲2丁目9番7号 石川島播磨重工業株式会社京橋事務所内
⑲ 出 願 人	石川島播磨重工業株式会社	東京都千代田区大手町2丁目2番1号
㉑ 代 理 人	弁理士 網谷 信雄	



## 明 細 書

### 1. 考案の名称

絶対番地型位置検出器

### 2. 実用新案登録請求の範囲

被検出体に取り付けられその運動方向に沿って絶対番地を表わす符号が配列された符号板と、符号板の符号を読み取ってその符号の中の最下位ビット符号については最下位ビット符号に対応する複数の位相を異にする最下位ビットアナログ信号を出力する読取り装置と、読取り装置からの位相を異にする複数の最下位ビットアナログ信号をそれぞれ所定のしきい値と比較して位相またはパルス幅の少なくとも一方を異にするデジタル信号に変換する比較器と、比較器からのデジタル信号をロジック変換により符号板の符号が表わす1絶対番地分を分割して表示する符号に符号化して出力する符号化回路とを備えたことを特徴とする絶対番地型位置検出器。



### 3. 考案の詳細な説明

#### 〔産業上の利用分野〕

本考案は工作機械、産業用ロボットの位置決め装置などに使用され、位置検出対象の絶対位置を検出する絶対番地型位置検出器に関する。

#### 〔従来技術〕

絶対番地型の位置検出器は、検出器の出力符号が符号板上の符号に対応した絶対番地であって、常に絶対位置を検出することができる。従って停電等で電源が切れても電源復帰とともに正しい位置を読み取ることができ、また機械振動によるチャタリング現象や電気ノイズにも強い等の特長を有する。

#### 〔考案が解決しようとする問題点〕

ところで、従来絶対番地型の位置検出器では、その分解能は最も細かな最下位ビット符号の間隔あるいは角度により決まり、分解能を上げるには最下位ビット符号の間隔あるいは角度を細かくしなければならない。しかし、最下位ビット符号を細かくするのはコストアップとな



るばかりでなく、製造上限界がある。

本考案の目的は、簡易に分解能を高めることができる絶対番地型位置検出器を提供することにある。

〔問題点を解決するための手段〕

本考案は、被検出体に取り付けられその運動方向に沿って絶対番地を表わす符号が配列された符号板の符号を読み取ってその符号の中の最下位ビット符号については最下位ビット符号に対応する複数の位相を異にする最下位ビットアナログ信号を出力する読取り装置と、読取り装置からの位相を異にする複数の最下位ビットアナログ信号をそれぞれ所定のしきい値と比較して位相またはパルス幅の少なくとも一方を異にするデジタル信号に変換する比較器と、比較器からのデジタル信号をロジック変換により符号板の符号が表わす1絶対番地分を分割して表示する符号に符号化して出力する符号化回路とを備えたものである。

被検出体は、回転運動をするもの、並進運動をするもの、あるいはこれらを組み合わせた運動を



するもののいずれでもよい。

読取り装置としては光学式、磁気式など各種の方式のものが含まれる。

〔作用〕

被検出体が運動するとそれに伴って符号板も運動し、符号板の絶対番地を表わす符号が読取り装置により読み取られてゆく。読取り装置により読み取られた符号のうち、最下位ビット符号に対応する位相を異にする複数の最下位ビットアナログ信号は比較器により位相またはパルス幅の少なくとも一方が異なる複数のデジタル信号に変換される。これらデジタル信号は符号化回路により符号板の符号が表わす絶対番地を更に細分割した絶対番地符号に変換される。

〔実施例〕

以下に本考案の実施例を図面に基づき説明する。

第1図において、1は回転位置の被検出体となる工作機械の回転軸などに取り付けられ、その回転を位置検出器に入力する入力軸である。入力軸1には円板状の符号板2が取り付けられており、

符号板 2 には絶対回転位置を表わす透過・不透過の符号パターンが書かれている。符号板 2 の符号は同心円環状の各トラック上に配列されている。図示例では符号板 2 の最外周トラック上の最下位ビット符号 3<sub>0</sub> と最内周トラック上の最上位ビット符号 3<sub>n</sub> のみが示されている。

符号板 2 の一側方には発光ダイオード等の発光素子 4 が符号板 2 に臨ませてその半径方向に配列されている。また、符号板 2 の他側方には発光素子 4 に対向させて符号板 2 の各トラックごとにスリット 5 が形成されたスリット板 6 が設けられている。最外周トラックの最下位ビット符号 3<sub>0</sub> に対しては、第 1 図または第 2 図に示すように、符号板 2 には二つのスリット 5<sub>a</sub>、5<sub>b</sub> が形成されている。この実施例の符号板 2 の符号は純 2 進符号などの場合であり、最下位ビット符号 3<sub>0</sub> はそれぞれ 1 絶対番地分の透過部 x と不透過部 y とが交互に配列されており、透過部 x および不透過部 y を一周期として変化している。スリット 5<sub>a</sub>、5<sub>b</sub> は 1 絶対番地分の幅を有し、符号板 2 の回転



方向 $z$ に対して  $1/4$  周期だけずらせてある。

スリット板 6 の各スリット 5 の後方には透過光を受光するためにフォトダイオード等の受光素子 7 が設けられている。各受光素子 7 の出力は増幅器 8 を介して比較器 9 に入力され、基準電圧と比較されてデジタル変換され、更にこれらデジタル信号は符号化回路 10 により符号化されるようになっている。

受光素子 7 はスリット 5 を透過する透過光の光量に比例した信号を出力し、受光素子 7 の出力、したがって増幅器 8 の出力は、第 3 図 (a) に示すように、ほぼ正弦波形のアナログ信号となる。スリット 5 b はスリット 5 a よりも  $1/4$  周期だけ回転方向 $z$ の後方に位置しているので、増幅器 8 b の出力は増幅器 8 a の出力よりも  $90^\circ$  位相遅れをもったものとなっている。ここで、信号の位置を、第 3 図 (a) に示す増幅器 8 a の 1 周期分の出力を基準としてこの出力が  $0^\circ \sim 360^\circ$  までの位相角をもつとして定めると、比較器 9<sub>1</sub> のしきい値  $th1$  は位相角  $45^\circ$  および  $135^\circ$  でそれぞれ



入力信号を切るレベルに設定される。また同様に  
して、比較器 9<sub>2</sub> のしきい値  $th_2$  は位相角  $0^\circ$  ,  
 $180^\circ$  ,  $360^\circ$  で、比較器 9<sub>3</sub> のしきい値  $th_3$  は  
位相角  $225^\circ$  ,  $315^\circ$  で、更に比較器 9<sub>4</sub> のしき  
い値  $th_4$  は  $90^\circ$  ,  $270^\circ$  でそれぞれ増幅器からの  
入力信号を切るレベルに設定されている。

したがって、比較器 9<sub>1</sub> ~ 9<sub>4</sub> の出力は、第 3  
図 (b) に示すように、 $45^\circ \sim 135^\circ$  、  $0^\circ \sim$   
 $180^\circ$  、  $0^\circ \sim 225^\circ$  および  $315^\circ \sim 360^\circ$  、  
 $90^\circ \sim 270^\circ$  がそれぞれハイレベルであり、これ  
う出力信号は位相、パルス幅のいずれか一方または  
双方を異にするデジタル信号となる。これらデ  
ジタル信号は、符号化回路 10 に入力され、ロジ  
ック変換により第 3 図 (c) に示すように純 2 進  
符号などに符号化される。この例では、従来の最  
下位ビット符号 3<sub>0</sub> が表わす 1 絶対番地が更に 4  
分割される。これにより、検出器出力が a<sub>1</sub> 端子  
出力と a<sub>2</sub> 端子出力の 2 ビット分増えたことにな  
り、分解能が従来の 4 倍になる。しかも、絶対番  
地出力を得ることができると共に、出力周波数も





従来の 4 倍になる。

なお上記実施例にあっては、増幅器 8 a , 8 b からそれぞれ出力される最下位ビットアナログ信号に  $90^\circ$  の位相差を与えるために、スリット 5 a , 5 b を  $1/4$  周期ずらせたが、スリット 5 a , 5 b を同じ位置に設置する一方、 $1/4$  周期の位相差を与えた最下位ビット符号 3 o を 2トラック用いるようにしてもよい。また最下位ビットアナログ信号は上記実施例のように 2種類で位相差を  $90^\circ$  にする場合に限らず、例えば 3種類で位相差を  $60^\circ$  としたりしてもよい。また、しきい値の数にも制限はなく、例えば、上記実施例において th 2 , th 4 のみとしてもよい（この場合、a 2 端子出力はなくなり、分解能は 2倍となる）。

〔考案の効果〕

以上要するに本考案によれば、最下位ビット符号の間隔あるいは角度を狭めることなく、信号処理により簡易に分解能を高めることができ、しかも絶対番地出力を得ることができる等の優れた効果を発揮する。

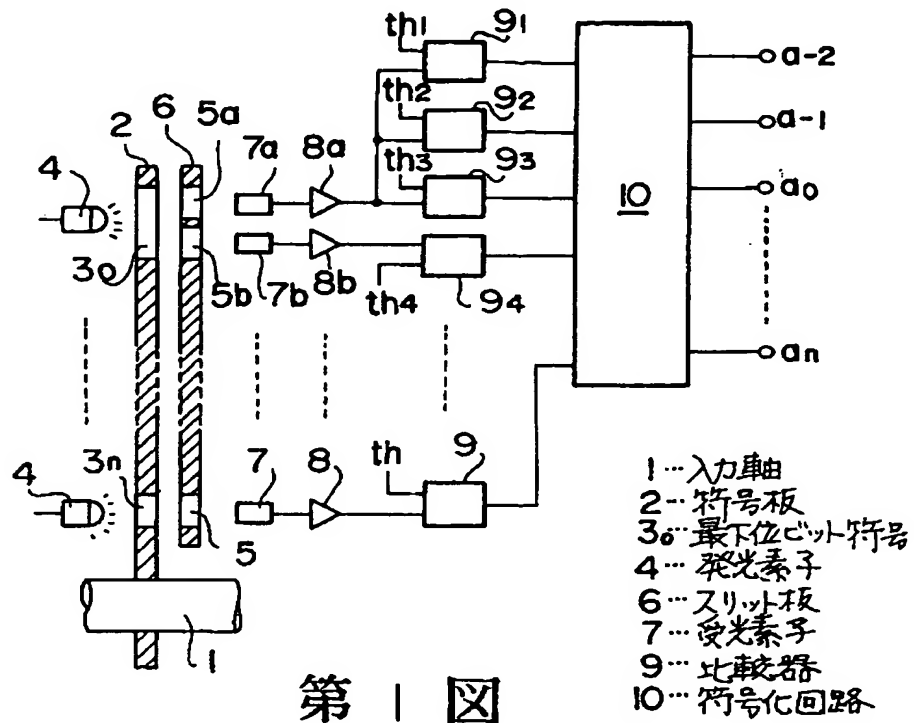


#### 4. 図面の簡単な説明

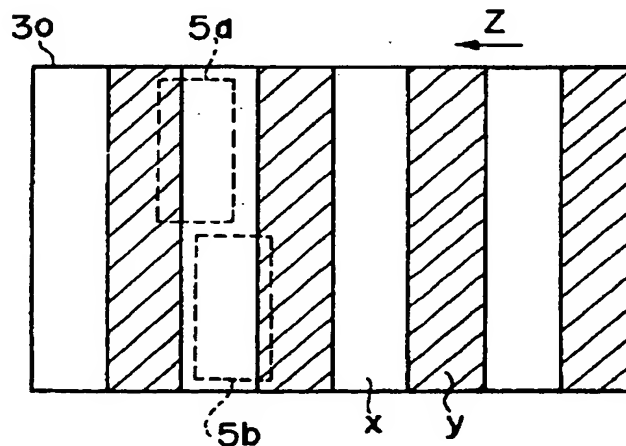
第1図は本考案に係る絶対番地型位置検出器の一実施例を示す構成図、第2図は同検出器の符号板の最下位ビット符号とスリットとの関係を示す正面図、第3図は第1図の検出器の作動を説明する各部の波形図である。

図中、1は入力軸、2は符号板、3<sub>0</sub>は最下位ビット符号、3<sub>n</sub>は最上位ビット符号、4は発光素子、5はスリット、6はスリット板、7は受光素子、8は増幅器、9は比較器、10は符号化回路である。

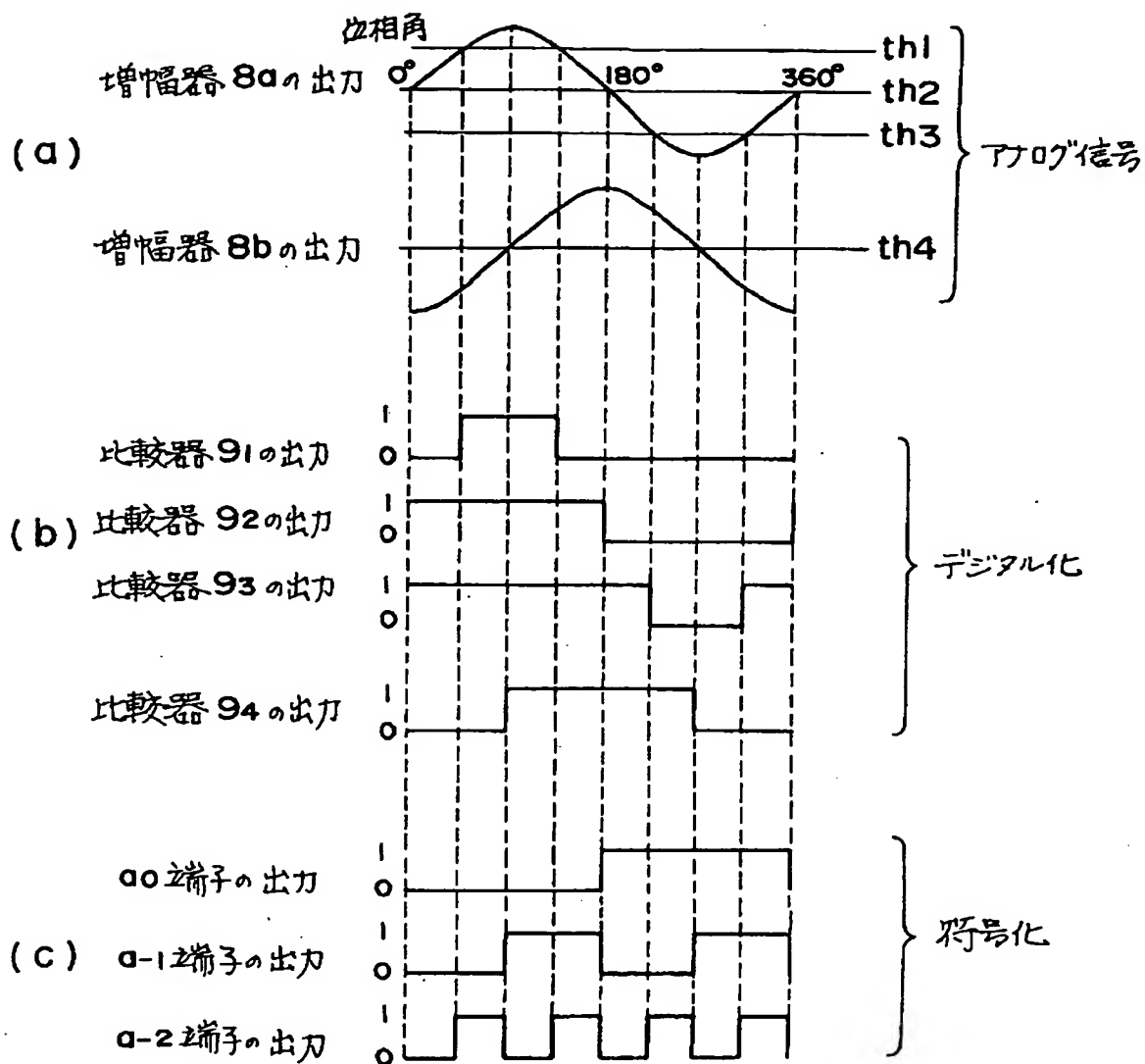
実用新案登録出願人 石川島播磨重工業株式会社  
代理人 弁理士 絹谷 信雄



第 1 図



第 2 図



第 3 図